



完成人合作关系说明

本项目由西安智多晶科技股份有限公司牵头实施，全体完成人均为公司核心研发与产业化骨干，围绕“基于可编程逻辑器件的动态可重构硬件与高速接口的技术研发与应用”开展了长期、深度协作。合作关系不仅存在于本人与各完成人之间，各完成人之间也基于技术方向与岗位职责形成了紧密的分工协作。

立项阶段共同论证与申报。2020 年陕西省重点研发计划申报阶段，本人联合 WEI QIN(译名：韦嶽)、张东晓共同开展技术论证、路线规划与申报材料编制，共同确立“芯片架构创新+EDA 工具自主+可靠性体系升级”的核心研发方向，为项目正式立项与后续实施奠定了合作基础。

技术攻关阶段联合产出知识产权。核心研发期间，本人统筹项目整体研发、产业化推进与市场落地；WEI QIN(译名：韦嶽)负责芯片总体架构、双层时钟及 13.1Gbps 高速 Serdes 整体方案设计；张东晓主导自研 HqFPGA EDA 软件开发；王黎明负责高速接口电路设计与验证；孙浩涛开展动态可重构架构、重构控制电路开发；李宝云统筹产品场景适配、客户技术支撑与产业化转化；彭利泽主攻 SEC 纠错、SADC 片上监控等可靠性电路研发。全体核心研发人员共同产出 11 项授权发明专利、1 项集成电路布图设计，核心知识产权均为多人协作完成。

全体完成人合作过程清晰、成果归属明确，内容真实有效。

第一完成人签名：



完成人合作关系情况汇总表

序号	合作方式	合作者/项目排名	合作起始时间	合作完成时间	合作成果	证明材料
1	共同立项	贾弘翊 1, WEI QIN(译名: 韦欽)2, 张东晓 3	2020 年 1 月	2022 年 12 月	陕西省重点研发计划“海豹 (seal) 5000 系列 FPGA 芯片研发”项目	其他附件 7.22-7.25
2	共同知识产权	贾弘翊 1, WEI QIN(译名: 韦欽)2, 彭利泽 7	2020 年 1 月	2023 年 12 月	一种 FPGA 动态局部重配置方法	必备附件 1.1
3	共同知识产权	贾弘翊 1, WEI QIN(译名: 韦欽)2, 王黎明 4	2020 年 1 月	2023 年 12 月	支持多片 SPI Flash 访问的 FPGA 启动配置方法	必备附件 1.2
4	共同知识产权	贾弘翊 1, WEI QIN(译名: 韦欽)2	2020 年 1 月	2023 年 12 月	一种 FPGA 快速启动 PCIe 的配置方法	必备附件 1.3
5	共同知识产权	贾弘翊 1, WEI QIN(译名: 韦欽)2, 李宝云 6	2020 年 1 月	2023 年 12 月	一种电源完整性 PDN 目标阻抗获取方法	其他附件 7.6
6	共同知识产权	贾弘翊 1, WEI QIN(译名: 韦欽)2	2020 年 1 月	2023 年 12 月	FPGA 与 MIPI 双向通信的方法、装置及电子设备	其他附件 7.7
7	共同知识产权	贾弘翊 1, WEI QIN(译名: 韦欽)2	2020 年 1 月	2023 年 12 月	一种 FPGA 在线调试方法及支持在线	其他附件 7.8



		韦嶽)2			调试的 FPGA	
8	共 同 知 识 产 权	贾弘翊 1, WEI QIN(译名: 韦嶽)2, 张 东晓 3	2020 年 1 月	2023 年 12 月	一种基于元 胞自动机和 禁忌搜索的 FPGA 布局方 法	其他附件 7.9
9	共 同 知 识 产 权	贾弘翊 1, WEI QIN(译名: 韦嶽)2	2020 年 1 月	2023 年 12 月	一种 DDR2/3 内存控制器 的命令重排 方法	其他附件 7.10
10	共 同 知 识 产 权	贾弘翊 1, WEI QIN(译名: 韦嶽)2, 孙 浩涛 5	2020 年 1 月	2023 年 12 月	一种 DDR 控 制器中 PHY 电路的延时 校准系统及 方法	其他附件 7.11
11	共 同 知 识 产 权	贾弘翊 1, WEI QIN(译名: 韦嶽)2	2020 年 1 月	2023 年 12 月	一 种 测 量 FPGA 芯片内 部电压降的 方法、装置和 系统	其他附件 7.12

承诺: 本人作为项目第一完成人, 对本项目完成人合作关系及上述内容的真实性负责, 特此声明。

第一完成人签名:

贾弘翊